**实验报告**

实验题目：实验1\_Altera FPGA开发入门

姓名：李霄奕 学号：PB21511897

1. 设计流程的描述
2. 建立工程，选择FPGA型号，为顶层文件命名

作用：FPGA型号与晶振频率、引脚参数等等绑定，顶层文件名称决定顶层模块名称

1. 创建文件代码，编写模块

作用：实现对应功能

1. 对文件进行分析和编译（Start Analysis & Synthesis）

作用：排除语法错误、逻辑错误

1. 对代码进行仿真（RTL Simulation）

作用：利用对应的仿真代码进行仿真，能够查看内部变量，及时排除逻辑错误，避免实物损失

1. 建立管脚映射（Pin Planner）

作用：将变量与FPGA管脚进行一一对应

1. 进行全编译（Start Computation）

作用：进行编译，生成输出文件

1. 烧录（Programmer）

作用：将编译后的输出文件写入FPGA，实现对应功能

1. 测试和修正

作用：实际物理验证功能的正确性，排除最终错误

1. 仿真时序图及说明

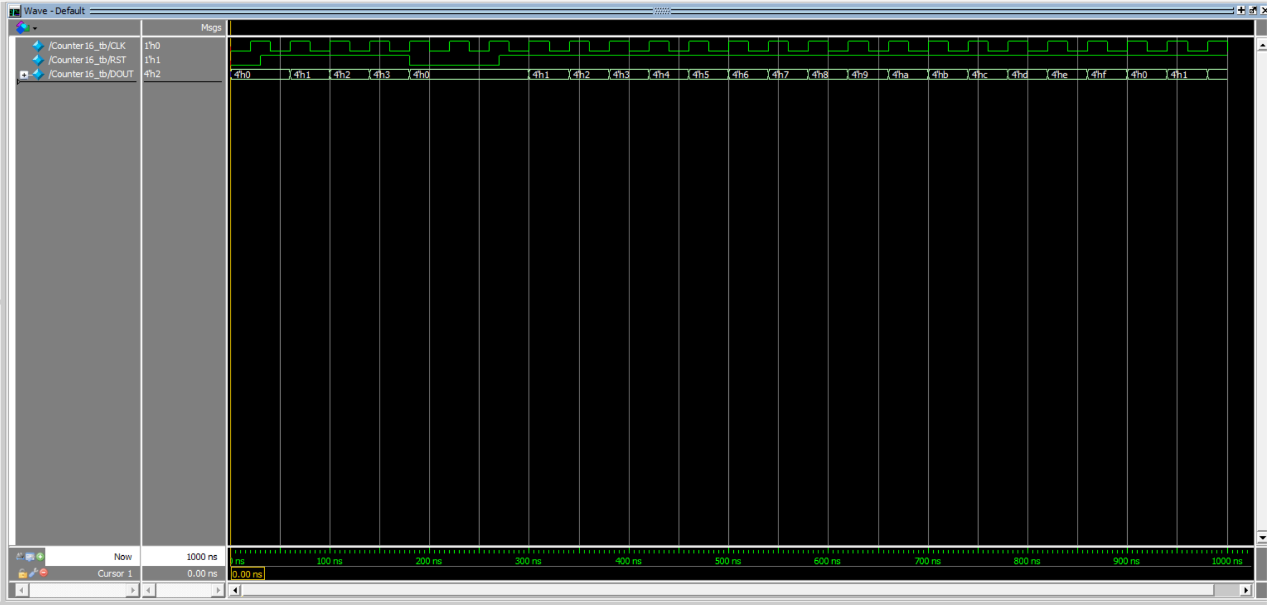


图1 Test2

说明：CLK管脚为时钟，当CLK处于上升沿的时候，如果RST为低电平，则DOUT清零，否则DOUT+1，且DOUT为4位寄存器，当寄存器到4’hf时下一时刻也会自动清零。

1. 实验中出现的问题及解决方法
2. 问题：文件名和模块名不匹配

解决方法：文件和模块命名实现一一对应，或者将多个模块全部写入一个文件里

1. 问题：调用模块的寄存器发生冲突

解决方法：尽量保持输入变量为wire类型，输出变量为reg或wire类型，避免模块调用的冲突

1. 模拟的时间单位差距过大

解决方法：从代码和模拟设置两方面调整模拟的总时间和单位时间